

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND
MANUFACTURE THEREOF**

Patent Number: JP7022587
Publication date: 1995-01-24
Inventor(s): OKAMOTO YOSHIHIKO
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP7022587
Application Number: JP19930163034 19930701
Priority Number(s):
IPC Classification: H01L27/04; H01L21/822; H01L21/66; H01L21/82
EC Classification:
Equivalents:

Abstract

PURPOSE:To test a highly-integrated and large-area semiconductor integrated circuit easily and then to increase an yield.

CONSTITUTION:This is a semiconductor integrated circuit device which has a plurality of semiconductor functional blocks 3, each of which is a combination of functional elements such as a logic gate and memory cell. Around the semiconductor functional blocks 3, input/output interconnections for inspection 4 are located for judging whether the function or the performance is appropriate. Furthermore, interconnection groups for connecting blocks 7, 10 are stretched over more than one semiconductor functional block 3.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-22587

(43) 公開日 平成7年(1995)1月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04				
21/822				
21/66				
	F	7630-4M		
		8832-4M	H 0 1 L 27/ 04	T
		8122-4M	21/ 82	T
審査請求 未請求 請求項の数4 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平5-163034

(22) 出願日 平成5年(1993)7月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 岡本 好彦

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

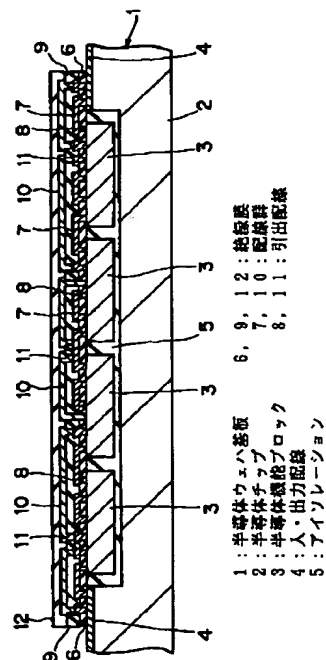
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 高集積、大面積の半導体集積回路のテストを容易にし、製造歩留りの向上が図れるようにする。

【構成】 論理ゲート、メモリセルなどの機能素子を組合せた複数の半導体機能ブロック3を備えて構成される半導体集積回路装置であって、半導体機能ブロック3に機能または性能の良否判定するために前記半導体機能ブロックの周辺に設けられる検査用の入・出力配線4の他、半導体機能ブロック3の複数間を横切るようにして半導体機能ブロック3上にブロック間接続用の配線群7、10を設ける。

図1



【特許請求の範囲】

【請求項1】 論理ゲート、メモリセルなどの機能素子を組合せた複数の半導体機能ブロックを備えて構成される半導体装置であって、前記半導体機能ブロック毎に機能または性能の良否判定を目的として前記半導体機能ブロックの周辺に設けられる検査用の配線と、前記半導体機能ブロックの複数間を横切るようにして前記半導体機能ブロック上に布線されるブロック間接続用の配線群とを具備することを特徴とする半導体集積回路装置。

【請求項2】 前記ブロック間接続用の配線群を多層構造にし、かつ、上下間の配線群を平面から見た位置が重ならないように設けることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 論理ゲート、メモリセルなどの機能素子を組合せた複数の半導体機能ブロックを備えて構成される半導体集積回路装置の製造方法であって、機能素子を組合せて半導体機能ブロックを形成し、これに対して前記半導体機能ブロックの機能または性能の良否判定用の入・出力配線を前記半導体機能ブロック単位で独立に形成し、検査により良品と判定された半導体機能ブロックの組み合せに対し、前記良否判定用の入・出力配線数より多い数で少なくとも1層の結線用の導電膜配線を敷設して接続を行うことを特徴とする半導体集積回路装置の製造方法。

【請求項4】 前記結線用の導電膜配線の形成は、電子ビーム描画装置により電子ビームレジストを露光し、パターンを形成することにより行うことを特徴とする請求項3記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置の製造技術、特に、特定用途向け半導体集積回路装置の製造に用いて効果のある技術に関するものである。

【0002】

【従来の技術】例えば、特定用途向けのIC(ASIC: Application-Specific integrated circuit)/LSIでは、所望の機能を備えた半導体集積回路の製造を短期間に行うことが要求され、この要求に対し、一般にはマスタスライス方式(予め複数の半導体素子を標準化しておき、それらを規則的に配置した半導体ウェハを用意しておき、その後、ユーザの所望する機能に合わせて半導体素子間の結線を行なう方法)を用いて対応している。

【0003】ところで、本発明者はマスタスライス方式における歩留りの問題について検討した。

【0004】以下は本発明者によって検討された技術であり、その概要は次の通りである。

【0005】すなわち、マスタスライス方式における半導体チップの良否の判定は、通常、半導体ウェハ状態で行われ、信号並びに電源を供給したまま、半導体チップ

毎にその周辺に設けられた入・出力端子の各々に検査装置に接続されたプローブを当てて行なわれる。この検査の結果、チップを構成する一部分に異常が見つかっただけでも、その半導体チップは不良チップとして廃棄処分にされる。そして、良品チップのみがパッケージに装着される。

【0006】

【発明が解決しようとする課題】ところが、前記の如く半導体集積回路装置の良否の判定を検査装置から信号並びに電源を供給し、半導体チップ毎に設けた入・出力端子にプローブを当てて行なう半導体集積回路装置の製造技術は、半導体チップを構成する一部分にでも異常があれば、半導体チップ全体を不良品と判定して捨てねばならないという問題のあることが本発明者によって見出された。すなわち、半導体集積回路の集積度を高くして大面積チップにするほど、半導体チップの検査が困難になり、その製造歩留りを低下させることになる。

【0007】また、半導体チップの入・出力端子の構成は、半導体チップの機能や性能を決定する重要な要因となる。これは、半導体チップ内の構成機能素子についても同様な課題がある。

【0008】半導体素子を組合せた半導体機能ブロック間の入・出力端子の構成は、半導体機能ブロック単位でそれぞれ独立してその機能または性能の良否判定ができるように分離して配線すること、半導体機能ブロックを組合せた半導体チップ全体の機能、性能を向上させることを両立させることが課題となる。

【0009】そこで、本発明の目的は、高集積、大面積の半導体集積回路のテストを容易にして、その製造歩留りを向上させることのできる技術を提供することにある。

【0010】本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0012】すなわち、論理ゲート、メモリセルなどの機能素子を組合せた複数の半導体機能ブロックを備えて構成される半導体集積回路装置であって、前記半導体機能ブロック毎に機能または性能の良否判定を目的として前記半導体機能ブロックの周辺に設けられる検査用の配線と、前記半導体機能ブロックの複数間を横切るようにして前記半導体機能ブロック上に布線されるブロック間接続用の配線群とを設けるようにしている。

【0013】

【作用】上記した手段によれば、論理ゲート、メモリセルなどの機能素子を組合せて複数の半導体機能ブロックを形成し、これらを集積して構成した半導体集積回路装

10

20

30

40

50

置であって、前記半導体機能ブロックを形成した段階で、各半導体機能ブロックの機能、性能のテストを行うための入・出力用配線を半導体機能ブロック単位に分離、独立させて設け、さらに、この上層に半導体機能ブロック間を接続するための配線群を設け、半導体機能ブロックの入・出力端子に制約されることなく、半導体機能ブロックの構成素子に直接配線が行えるようになる。

【0014】これにより、半導体機能ブロック毎の単独の機能と性能のテストが可能となり、製品歩留りの向上が可能になる。例えば、ASIC用LSIにおいては、チップを構成する論理素子を100%使用することはない。したがって、チップを構成する一部分に異常があった場合でも、該当個所の素子を使わないようにすれば、半導体チップの使用率が高められる。これは、半導体集積回路の集積度が高く、大面積のチップになればなるほど、効果が大きくなり、製造歩留りの低下を防止することが可能になる。

【0015】

【実施例】以下、本発明の実施例について図面を参照しながら説明する。

【0016】図1は本発明による半導体集積回路装置の一実施例を示す正面断面図である。また、図2はウェハ状態の半導体チップを示す平面図、さらに、図3はテスト用の端子を備えた半導体機能ブロックの周辺構成を示す平面図である。

【0017】なお、以下の実施例の説明は、VLSI (Very Large Scale Integration) を対象にしており、その半導体チップはメインフレームコンピュータ (超高速コンピュータ) のCPU部その他の論理演算及びメモリ素子として用いられることを想定している。半導体チップのサイズは、例えば、10〜20mm角の正方形あるいは長方形の板状であり、その片面にはECL (Emitter-Coupled Logic) 回路あるいはその他必要に応じてCMOS (Complementary MOS) 回路が形成されている。

【0018】図1に示すように、半導体ウェハ基板1上には半導体チップ2 (図1では1個のみの図示であるが、実際には図2に示すように半導体ウェハ上には多数個が設けられている) が形成されている。さらに、夫々の半導体チップ2上には複数の半導体素子が形成され、これらを組合せて論理ゲート、メモリなどの半導体機能ブロック3 (図2に図示) が形成されている。なお、図1においては、見やすいように半導体素子についての図示は省略してある。

【0019】図1に説明を戻すと、半導体機能ブロック3の各々の周囲には、複数の入・出力配線4が設けられている。また、半導体機能ブロック3の各々はアイソレーション5によって電気的に隔離されている。さらに半導体機能ブロック3の主面上には、絶縁膜6で絶縁されながら配線群7 (後記するように複数の配線からなる) が引出配線8を介して複数本が布線され、また、絶縁膜

9で絶縁されながら配線群10が引出配線11を介して複数本が布線されている。

【0020】この配線群7、10は、半導体機能ブロック3の各々に信号を入出力するための配線及び電源を供給するための配線になる。これらは半導体機能ブロック3毎に独立した形で設けられる。そして、このような配線を構成する配線層は、半導体チップ2上に展開するx方向の配線群及びy方向の配線群からなる多層構造になっている。この配線群の一方が半導体機能ブロック3内の配線を構成しても良い。

【0021】ここで、配線群7及び絶縁膜9の形成方法の一例を説明すれば、以下の如くである。まず、絶縁膜上に施したレジスト膜をエレクトロンビームを用いて開孔処理し、これに対して現像を施し、さらにエッチングを行う。その後、表面に配線となるアルミ等の導電膜を設け、ついで、導電膜の表面にレジストを施した後、除去対象部分にエレクトロンビームを用いて感光させ、これに対して現像処理、エッチング処理を順次設けることにより、図1に示した形の配線群7及び配線群10が完成する。

【0022】さらに、配線群10及び絶縁膜9の上面上には、絶縁膜12が堆積される。通常、この段階までが1枚のウェハの姿のまま加工され、その後、半導体ウェハ基板1をチップサイズ毎にダイシング加工し、1つ1つの半導体チップ2に分離する。半導体チップ2を基板 (不図示) に装着した後、ワイヤボンディングなどにより、半導体チップ2と基板のパッドとを結線する。さらに半導体チップにモールドを施すことにより半導体集積回路装置が完成する。

【0023】図3は半導体機能ブロック3の機能や性能を検査するためのテスト端子の配列を示している。テスト端子13の接続先は、例えば、多結晶シリコンエミッタ電極であり、半導体機能ブロック3の周辺を取り巻くように並べて配設され、その各々は図1のA1配線群7またはA1配線群10に接続されている。

【0024】以上のように、第1の配線群及び配線群14を用いて、半導体チップ2の主面上に二次元的に配置された複数の半導体素子からなる半導体機能ブロックは独立してその機能、性能の検査が可能となる。そして、後記する配線群を用い、必要に応じて良品の半導体機能ブロックのみを結線することで、製造歩留りを向上させることができる。また、半導体機能ブロック間において、半導体機能ブロックを構成する半導体素子の直接接続も可能となる。

【0025】図4は半導体機能ブロック間の配線の形成例を示す平面図である。なお、図4においては、各絶縁膜の図示を省略している。

【0026】図4においては、配線層が4層構造になっている。不図示のA1 (アルミ) 配線群を第1層とし、この上面に第2の配線層としての配線群14 (図1では

10

20

30

40

50

5

図示を省略していたが、A1配線14a~14fからなる)が設けられる。第1層の配線群は、第2層の配線群14と同様に、大部分が信号配線として用いられ、図1、図2に示した半導体機能ブロックを形成するために用いられている。

【0027】配線群14の上部には、第3の配線層としての配線群7(A1配線7A~7D及びA1配線7a~7dからなる)が設けられている。さらに、配線群7の上面には第4の配線層としての配線群10(A1配線10A~10F及びA1配線10a~10fからなる)が設けられている。ここでは、配線群14と配線群10とが平行するように設けられ、配線群10は配線群7に対して直交するように設けられている。

【0028】なお、配線群7、10、14の各々は、説明の便宜上、半導体機能ブロック3上の一部分にのみ設けた状態を示しているが、実際には、半導体チップ2の表面のほぼ全域に形成されている。また、配線群14のA1配線14a~14fは、それぞれ、1~5μm程度の厚みに形成される。

【0029】これらの配線群は、CAD(コンピュータ支援設計)を用いて素子の電極部に接続される。この接続の後、再び検査装置によって半導体チップ2の性能・動作試験が行われ、この後、半導体ウェハから各半導体チップ2の切り出しが行われる。

【0030】なお、半導体機能ブロック間の配線群の配線本数を半導体機能ブロックの良否判定のための入・出力信号用配線の本数よりも多い数を設けることにより、任意の位置に或いは最短距離で接続できる機会が多くなり、半導体機能ブロック3の機能または性能を向上させることが可能となる。

【0031】次に、バイポーラLSIを例に、本発明の半導体集積装置の一実施例の詳細な構成を説明する。

【0032】図5は本実施例を詳述するために用いたバイポーラLSIの要部を示す正面断面図である。

【0033】図5に示すように、半導体基板100(p型シリコン)の表面には埋込層101(n型)が設けられ、これにより半導体チップが形成されている。この半導体チップ上には、エピタキシャル層102(n型シリコン)が設けられている。さらに、エピタキシャル層102の一部にはフィールド絶縁膜103(例えばSiO膜)が設けられている。これらによって半導体素子間および半導体素子内の各特性部に対する分離が行なわれている。

【0034】フィールド絶縁膜103の下部には、半導体基板100に埋設するようにしてチャネルストップ領域104(p型)が設けられている。そして、フィールド絶縁膜103で囲まれた部分のエピタキシャル層102内には、真性ベース領域105(p型)及びグラフトベース領域106(p型)が設けられている。

【0035】さらに、真性ベース領域105内には、エ

6

ミッタ領域107(n型)が設けられている。このエミッタ領域107、真性ベース領域105、真性ベース領域105の下方におけるエピタキシャル層102の各々と、及び埋込層101からなるコレクタ領域とによって、npn型のバイポーラトランジスタが構成されている。

【0036】また、フィールド絶縁膜103に隣接させて埋込層101上には、これと接続させてコレクタ取り出し領域108(n型)が形成されている。さらに、フィールド絶縁膜103に連設させて絶縁膜109が設けられている。この絶縁膜109には、例えばSiO膜が用いられる。この絶縁膜109にはグラフトベース領域106、エミッタ領域107及びコレクタ取り出し領域108の各々に対応して、開口109a、109b、109cの各々が設けられている。

【0037】これら開口109a~109cを通し、グラフトベース領域106には多結晶シリコン膜からなるベース引出電極110が接続され、さらに、エミッタ領域107上には多結晶シリコンエミッタ電極111が設けられている。また、エピタキシャル層102及びフィールド絶縁膜103上には、SiO膜等による絶縁膜112、113が設けられている。

【0038】絶縁膜113に設けられた開口114を通じてベース引出し電極110には、前記した第1層としての配線115が接続されている。さらに、開口116を通して多結晶シリコンエミッタ電極111には配線117が接続されている。また、絶縁膜118及び上記開口109cを通してコレクタ取り出し領域108には、配線119が接続されている。

【0039】さらに、配線119上には、SiN膜とSiO₂膜とからなる層間絶縁膜120が設けられている。ここに形成される各膜は、プラズマCVD(化学的気相成長)法によって形成することができる。層間絶縁膜120の上層には、A1膜による第2層目の配線121(図4の配線群14に相当)が設けられている。

【0040】以上の配線121を設けるまでの構成が在来の半導体集積回路装置の構成そのものであり、この上面へ本発明による配線層(以下に詳述する)が施される。

【0041】配線121は、層間絶縁膜120に開孔されたスルーホール122を通して配線119に接続されている。このスルーホール122は、階段状の段差面を有し、この形状によってスルーホール122における配線121のステップカバレッジの向上を図ることができる。

【0042】また、配線121上には、層間絶縁膜120と同様の層間絶縁膜123が設けられ、この層間絶縁膜123の表面には前記した第3層目の配線(すなわち配線群7)としての配線124a、124b、124c

10

20

30

40

50

7

の各々が配設されている。ここで、配線124aは、層間絶縁膜123に開設されたスルーホール125を通して配線121に接続されている。

【0043】配線124a、124b、124c及びこれらの相互間から露出する層間絶縁膜123の各表面には、層間絶縁膜123と同素材の層間絶縁膜126が設けられ、この層間絶縁膜126の表面に第4層目としての配線127a、127b、127cが設けられている。これら配線127a～127cは、前記した下層の各配線に比較して層の厚みが大きくなるように形成されている。

【0044】本実施例では、具体的には、層厚を2μmにしてあり、配線127a、127b、127cの各々の溝幅は2μmである。したがって、この溝のアスペクト比（溝の深さ／溝の幅）は1となり比較的大きな値で構成されている。

【0045】さらに、配線127a、127b、127c及びこれらの相互間から露出する層間絶縁膜126の各表面には、SiO₂膜等による絶縁膜128が表面平坦化を目的として設けられている。この絶縁膜128の形成手段としては、例えば、SiO₂膜のバイアススパッタ、プラズマCVDとスパッタエッチングとの組合せによる方法等を用いることができる。あるいは、常圧CVDとスパッタエッチングの組合せにより形成されたP SG (Phospho-Silicate Glass) 膜、BSG (Boro-Silicate Glass) 膜、BPS (Boro-Phospho-Silicate Glass) 膜等のシリケートガラス膜を用いることも可能である。

【0046】この絶縁膜128によって配線127a～127c間の溝は埋められ、絶縁膜128の表面はほぼ平坦な状態になる。この絶縁膜128の上面には、プラズマCVD法により形成されたSiN膜129が設けられ、さらにSiN膜129上にはSiO₂膜130が設けられている。ここで、SiO₂膜130は、プラズマCVD法により形成されており、SiN膜129及びSiO₂膜130によってチップ保護用の保護膜131が構成されている。

【0047】前記したように上記絶縁膜128の表面は平坦化されているため、SiN膜129の膜厚および膜質も比較的均一化されており、水分等の侵入し難い耐湿性の高い半導体チップ構造になっている。そのため、LSIのパッケージとして、非気密性封止型のパッケージを用いることができる。

【0048】そして、図5に示したような構成のバイポーラLSIは、例えばピングリッドアレイ(PGA)型パッケージに封止される。

【0049】ところで、上記の半導体機能ブロック3間の積層配線には、電子線直接描画を用いることができる。これによって、図1の半導体チップがウェハサイズになる。半導体チップが、例えば50mm角を超える大き

8

さになっても、サブミクロン寸法の配線パターン形成のためのレジスト露光を行うことが可能になる。

【0050】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0051】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0052】すなわち、論理ゲート、メモリセルなどの機能素子を組合せた複数の半導体機能ブロックを備えて構成される半導体集積回路装置であって、前記半導体機能ブロック毎に機能または性能の良否判定を目的として前記半導体機能ブロックの周辺に設けられる検査用の配線と、前記半導体機能ブロックの複数間を横切るようにして前記半導体機能ブロック上に布線されるブロック間接続用の配線群とを設けるようにしたので、半導体機能ブロック毎に機能及び性能のテストを単独に行えるようになる。半導体チップの機能と性能のテストが容易になる。

【図面の簡単な説明】

【図1】本発明による半導体集積回路装置の一実施例を示す正面断面図である。

【図2】ウェハ状態の本発明にかかる半導体チップを示す平面図である。

【図3】本発明における半導体機能ブロックの周辺構成を示す平面図である。

【図4】本発明における半導体機能ブロック間の配線の形成例を示す平面図である。

【図5】本発明の実施例を詳述するためのバイポーラLSIの要部を示す正面断面図である。

【符号の説明】

- 1 半導体ウェハ基板
- 2 半導体チップ
- 3 半導体機能ブロック
- 4 入・出力配線

- 5 アイソレーション
- 6 絶縁膜

- 7 配線群
- 7A～7D、7a～7d A1配線

- 8 引出配線
- 9 絶縁膜

- 10 配線群
- 10A～10F、10a～10f A1配線

- 11 引出配線
- 12 絶縁膜

- 13 テスト端子
- 14 配線群

- 14a～14f 配線

9

10

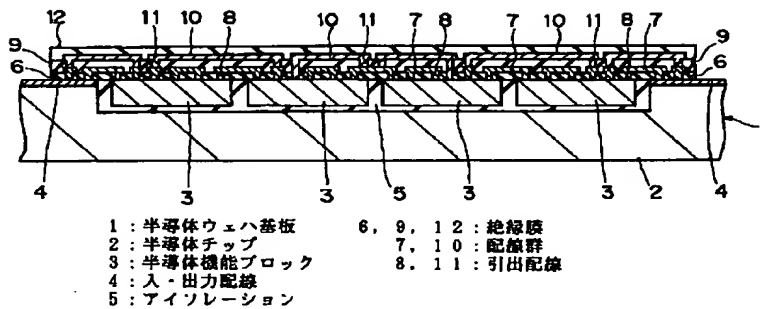
100 半導体基板
 101 埋込層
 102 エピタキシャル層
 103 フィールド絶縁膜
 104 チャンネルストッパ領域
 105 真性ベース領域
 106 グラフトベース領域
 107 エミッタ領域
 108 コレクタ取り出し領域
 109 絶縁膜
 109a, 109b, 109c 開口
 110 ベース引出電極
 111 多結晶シリコンエミッタ電極
 112, 113 絶縁膜

* 114, 116 開口
 115, 117 配線
 118 絶縁膜
 119, 121 配線
 120, 123 層間絶縁膜
 122, 125 スルーホール
 124a, 124b, 124c 配線
 126 層間絶縁膜
 127a, 127b, 127c 配線
 10 128 絶縁膜
 129 SiN膜
 130 SiO₂膜
 131 保護膜

*

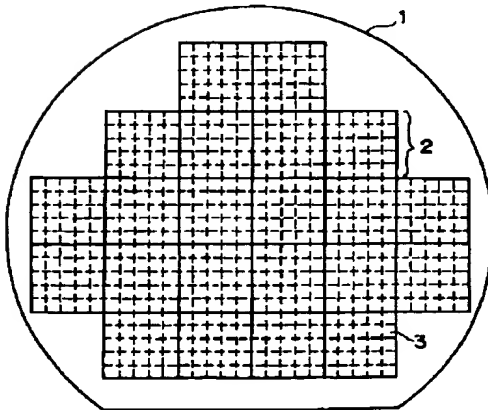
【図1】

図1



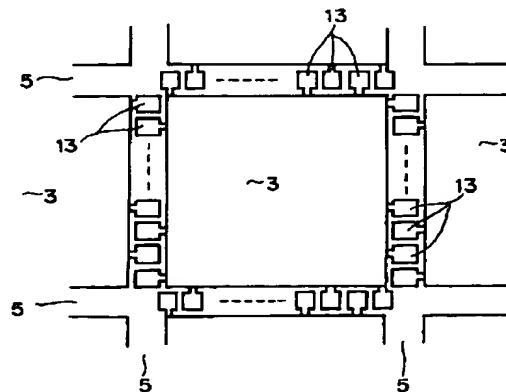
【図2】

図2



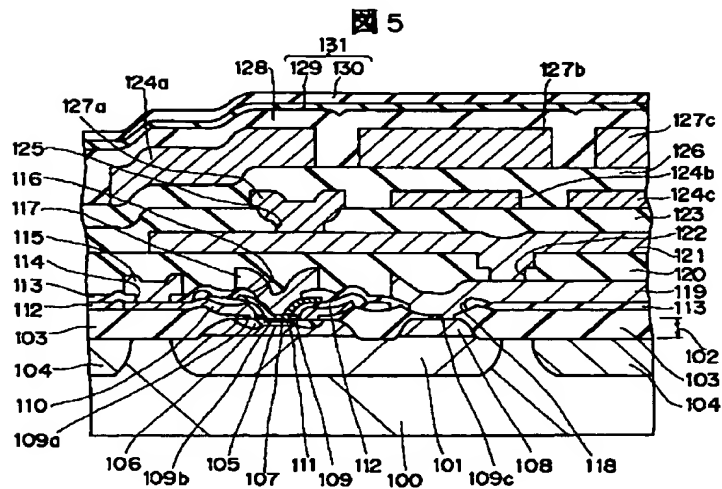
【図3】

図3



13: テスト端子

圖 4



技術表示箇所